

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Masayuki Sakakura et al. Art Unit : Unknown
Serial No. : New Application Examiner : Unknown
Filed : April 20, 2004
Title : DISPLAY DEVICE

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

Japan Application No. 2003-122988 filed April 25, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: April 20, 2004



John F. Hayden
Reg. No. 37,640

Customer No. 26171
Fish & Richardson P.C.
1425 K Street, N.W.
11th Floor
Washington, DC 20005-3500
Telephone: (202) 783-5070
Facsimile: (202) 783-2331



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 2 2 9 8 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 2 2 9 8 8]

出 願 人 株式会社半導体エネルギー研究所
Applicant(s):

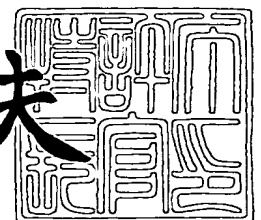
/

出
願
番
号
特
願
2
0
0
3
-
1
2
2
9
8
8

2 0 0 4 年 2 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 6 1 4 5

【書類名】 特許願

【整理番号】 P007122

【提出日】 平成15年 4月25日

【あて先】 特許庁長官 太田 信一郎 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 坂倉 真之

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 長尾 里築子

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 安西 彩

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 優

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 棚田 好文

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】

映像信号を伝達するための第 1 の配線と、
発光素子に電流を供給するための第 2 の配線とを有し、
前記第 1 の配線と前記第 2 の配線とは互いに平行に延びており、
絶縁膜を挟んで、少なくとも一部が重なるように形成されている
ことを特徴する表示装置。

【請求項 2】

映像信号を伝達するための第 1 の配線と、
発光素子に電流を供給するための第 2 の配線と、
前記第 1 の配線及び前記第 2 の配線と平行に延びた第 3 の配線とを有し、
前記第 1 の配線と前記第 2 の配線とは、同じ層で形成されており、
前記第 3 の配線は、前記第 1 の配線及び前記第 2 の配線よりも上層又は下層に
、絶縁膜を挟んで、前記第 1 の配線又は前記第 2 の配線と、少なくとも一部が重
なるように形成されており、
前記第 2 の配線と第 3 の配線とは接続していること
を特徴とする表示装置。

【請求項 3】

映像信号を伝達するための第 1 の配線と、
発光素子に電流を供給するための第 2 の配線と、
前記第 1 の配線及び前記第 2 の配線と平行に延びた第 3 の配線とを有し、
前記第 1 の配線と前記第 2 の配線とは、絶縁膜を挟んで、少なくとも一部が重
なるように形成されており、
前記第 3 の配線は、絶縁膜を挟んで、前記第 1 又は第 2 の配線のいずれかひと
つと、少なくとも一部が重なるように形成されており、
前記第 2 の配線と前記第 3 の配線とは接続していること
を特徴とする表示装置。

【請求項 4】

請求項 1 に記載の表示装置に於いて、前記第 1 の配線又は前記第 2 の配線のうち、上層に形成された方の配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【請求項 5】

請求項 2 に記載の表示装置に於いて、前記第 1 の配線又は前記第 3 の配線のうち、上層に形成された方の配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【請求項 6】

請求項 3 に記載の表示装置に於いて、前記第 1 の配線又は第 2 の配線又は前記第 3 の配線のうち、最上層に形成された配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【請求項 7】

発光素子と、

映像信号によって前記発光素子の発光・非発光を決定する第 1 のトランジスタと、

前記映像信号の入力を制御する第 2 のトランジスタと、

前記映像信号に関わらず、前記発光素子を非発光状態にする第 3 のトランジスタと、

前記第 2 のトランジスタに接続し、前記映像信号を伝達するための第 1 の配線と、

前記第 1 のトランジスタに接続し、前記第 1 及び第 2 のトランジスタを介して前記発光素子に電流を供給するための第 2 の配線とを有し、

前記第 1 の配線と前記第 2 の配線とは、互いに平行に延び、

絶縁膜を挟んで、少なくとも一部が重なるように形成されていること

を特徴とする表示装置。

【請求項 8】

発光素子と、

映像信号によって前記発光素子の発光・非発光を決定する第 1 のトランジスタ

と、

前記映像信号の入力を制御する第2のトランジスタと、

前記映像信号に関わらず、前記発光素子を非発光状態にする第3のトランジスタと、

前記第2のトランジスタに接続し、前記映像信号を伝達するための第1の配線と、

前記第1のトランジスタに接続し、前記第1及び第2のトランジスタを介して前記発光素子に電流を供給するための第2の配線と、

前記第1の配線及び前記第2の配線と平行に延びた第3の配線とを有し、

前記第1の配線又は前記第2の配線とは同じ層で形成されており、

前記第3の配線は、前記第1の配線又は前記第2の配線と、絶縁膜を挟んで、少なくとも一部が重なるように形成されていること

を特徴とする表示装置。

【請求項9】

請求項7に記載の表示装置に於いて、前記第1の配線又は前記第2の配線のうち、上層に形成された方の配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【請求項10】

請求項2に記載の表示装置に於いて、前記第1の配線又は前記第3の配線のうち、上層に形成された方の配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【請求項11】

発光素子と、

前記発光素子に流れる電流値を決定するための第1のトランジスタと、

映像信号によって前記発光素子の発光・非発光を決定する第2のトランジスタと、

前記映像信号の入力を制御する第3のトランジスタと、

前記映像信号に関わらず、前記発光素子を非発光状態にする第4のトランジスタと、

前記第 3 のトランジスタに接続し、前記映像信号を伝達するための第 1 の配線と、

前記第 2 のトランジスタに接続し、前記第 1 及び第 2 のトランジスタを介して前記発光素子に電流を供給するための第 2 の配線と、

前記第 1 のトランジスタのゲート電極に接続する第 3 の配線とを有し、

前記第 1 の配線と前記第 2 の配線と前記第 3 の配線とは、互いに平行に延びており、

前記第 1 の配線と前記第 3 の配線とは、同じ層で形成されており、

第 1 の配線及び第 3 の配線と、第 2 の配線とは、絶縁膜を挟んで、少なくとも一部が重なるように形成されている

ことを特徴とする表示装置。

【請求項 1 2】

請求項 1 1 に記載の表示装置において、前記第 1 の配線又は前記第 2 の配線のうち、上層に形成された配線と同じ層で画素電極が形成されていることを特徴とする表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリクス型の表示装置に関し、特に発光素子を備えたアクティブマトリクス型の表示装置の配線構造に関する。

【0 0 0 2】

【従来の技術】

近年、テレビ市場への参入を目的として、大型のエレクトロルミネッセンス（以後、E L と略記）表示装置の開発が進んでいる。

【0 0 0 3】

ここで、表示装置の大型化に伴い配線長が増大すると、電圧降下が生じるといふ問題がある。電圧降下が生じると、E L 素子に掛かる電圧が場所ごとに変わるため、表示ムラを引き起こしてしまうという問題がある。

【0 0 0 4】

上記の問題を解決するために、配線の膜厚を厚くした場合、成膜やエッチング等の工程に多大な負担がかかる。また、配線の線幅を長くした場合も、基板上において配線が占める面積比率が大きくなり、高精細な表示装置を作製することが困難となる。

【0005】

また、表示装置が大型化すると、特にアクティブマトリクス型の表示装置に置いては、EL素子に電氣的信号を伝達するための薄膜トランジスタ（以後、TFTという）の基板面内での特性ばらつきが大きくなり、表示ムラを生じる要因となる。

【0006】

TFTの特性ばらつきに起因した表示ムラを低減するための試みは、主にEL素子を駆動するための回路構成を工夫することにより行われている（例えば、特許文献1）。しかしながら、TFTの特性ばらつきを補償するための回路を設けることにより、基板面内における当該回路の占有率が高くなり、画素部の開口率が低くなるといった問題が生じる。

【0007】

【特許文献1】

特開 2003-5710号公報

【0008】

以上のように、表示装置の高精細化と、配線における電圧降下又はTFTの特性ばらつきに起因した表示ムラの抑制を両立することは難しい。

【0009】

【発明が解決しようとする課題】

以上の問題を鑑み、本発明では、配線における電圧降下に起因した表示ムラ、若しくはTFTの特性ばらつきに起因した表示ムラを抑制し、また高精細な表示を可能とする表示装置を提供することを課題とする。

【0010】

【課題を解決するための手段】

本発明の表示装置は、映像信号を伝達するための第1の配線と、発光素子に電

流を供給するための第 2 の配線とを有し、前記第 1 の配線と前記第 2 の配線とは互いに平行に延びており、絶縁膜を挟んで、少なくとも一部が重なるように形成されていることを特徴としている。

【0 0 1 1】

第 1 の配線が第 2 の配線よりも上層となるように重なってもよいし、若しくは第 1 の配線が第 2 の配線よりも下層となるように重なってもよい。

【0 0 1 2】

第 1 の配線と第 2 の配線とは必ずしも全ての領域が重なっている必要はなく、一部のみが重なっていてもよい。

【0 0 1 3】

なお、発光素子の電極は、第 1 の配線又は第 2 の配線のうち、上層に形成された方の配線と、同じ層で形成してもよい。このような構成とすることにより、画素電極形成の際、新たに絶縁膜を設ける必要がなくなり、成膜工程やコンタクトホール開孔などの工程が簡略化される。

【0 0 1 4】

上記のような構成とすることにより、第 2 の配線の線幅を長くして電圧降下を抑制する場合において、第 1 の配線により占有される面の上方部又は下方部を有効に活用しながら線幅を長くすることができる。従って、第 2 の配線の線幅の増加に起因した開口率の低下を、極力低く抑えることができる。また、第 1 の配線と第 2 の配線が異なる層で形成されていることにより、第 1 の配線と第 2 の配線との間で生じる短絡を低減することもできる。

【0 0 1 5】

また本発明の表示装置は、映像信号を伝達するための第 1 の配線と、発光素子に電流を供給するための第 2 の配線と、前記第 1 の配線及び前記第 2 の配線と平行に延びた第 3 の配線とを有し、前記第 1 の配線と前記第 2 の配線とは、同じ層で形成されており、前記第 3 の配線は、前記第 1 の配線及び前記第 2 の配線よりも上層又は下層に、絶縁膜を挟んで、前記第 1 の配線又は前記第 2 の配線と、少なくとも一部が重なるように形成されており、前記第 2 の配線と第 3 の配線とは接続していることを特徴としている。

【0016】

第1及び第2の配線が、第3の配線よりも上層となるように重なってもよいし、若しくは第1および第2の配線が、第3の配線よりも下層となるように重なってもよい。

【0017】

なお、発光素子の電極は、第1の配線又は第3の配線のうち、上層に形成された方の配線と、同じ層で形成してもよい。このような構成とすることにより、画素電極形成の際、新たに絶縁膜を設ける必要がなくなり、成膜工程やコンタクトホール開孔などの工程が簡略化される。

【0018】

上記のように、第1の又は第2の配線と、少なくとも一部が重なる第3の配線を設けることにより、第1の又は第2の配線により占有される面の上方部又は下方部を有効に活用しながら第2の配線の電圧降下を抑制することができる。

【0019】

本発明の表示装置は、映像信号を伝達するための第1の配線と、発光素子に電流を供給するための第2の配線と、前記第1の配線及び前記第2の配線と平行に延びた第3の配線とを有し、前記第1の配線と前記第2の配線とは、絶縁膜を挟んで、少なくとも一部が重なるように形成されており、前記第3の配線は、絶縁膜を挟んで、前記第1又は第2の配線のいずれかひとつと、少なくとも一部が重なるように形成されており、前記第2の配線と前記第3の配線とは接続していることを特徴としている。

【0020】

第1の配線が第2の配線よりも上層となるように重なってもよいし、若しくは第1の配線が第2の配線よりも下層となるように重なってもよい。

【0021】

また第1の配線と第2の配線とは必ずしも全ての領域が重なっている必要はなく、一部のみが重なっていてもよい。

【0022】

第3の配線は、第1の配線よりも上層となるように重なってもよいし、若しくは

は第1の配線よりも下層となるように重なってもよい。また、第2の配線よりも上層となるように重なってもよいし、若しくは第2の配線よりも下層となるように重なってもよい。

【0023】

なお、発光素子の電極は、第1の配線又は第2の配線又は第3の配線のうち最上層に形成された配線と、同じ層で形成してもよい。このような構成とすることにより、画素電極形成の際、新たに絶縁膜を設ける必要がなくなり、成膜工程やコンタクトホール開孔などの工程が簡略化される。

【0024】

上記のような構成とすることにより、第2の配線において生じる電圧降下をより低減することができる。

【0025】

以上のように、本発明を適用することにより、発光素子へ電流を供給するための配線の電圧降下に起因した表示ムラを抑制し、高画質・高精細な表示装置を製作できる。

【0026】

本発明の別の構成は、発光素子と、前記発光素子に流れる電流値を決定するための第1のトランジスタと、映像信号によって前記発光素子の発光・非発光を決定する第2のトランジスタと、前記映像信号の入力を制御する第3のトランジスタと、前記映像信号に関わらず、前記発光素子を非発光状態にする第4のトランジスタと、前記第3のトランジスタに接続し、前記映像信号を伝達するための第1の配線と、前記第2のトランジスタに接続し、前記第1及び第2のトランジスタを介して前記発光素子に電流を供給するための第2の配線と、前記第1のトランジスタのゲート電極に接続する第3の配線とを有し、前記第1の配線と前記第2の配線と前記第3の配線とは、互いに平行に延びており、また前記第1の配線と前記第3の配線とは、同じ層で形成されており、さらに、第1の配線及び第3の配線と、第2の配線とは、絶縁膜を挟んで、少なくとも一部が重なるように形成されていることを特徴としている表示装置である。

【0027】

以上の構成とすることにより、TFTの特性ばらつきに起因した表示ムラを抑制し、さらに発光素子に電流を供給するための配線の電圧降下に起因した表示ムラを抑制することができる。

【0028】

【発明の実施の形態】

(実施の形態1)

本発明の一態様について図1を用いて説明する。

【0029】

図1は、本発明を適用した表示装置の画素部の上面図である。また図9は図1のA-A'における断面図である。

【0030】

図1において、映像信号を伝達するための配線としてソース信号線101（101a、101b）、発光素子に電流を供給するための配線として電流供給線104（104a、104b）が設けられている。ソース信号線101と電流供給線104とは、絶縁膜を挟んで異なる層に、重なって形成されている。また互いに平行に延びている。なお、本実施の形態においては、ソース信号線101の全体と電流供給線104とが重なっているが、ソース信号線101の一部と電流供給線104の一部とが重なるような構造であってもよい。いずれにしろ、ソース信号線の上方部を活用して、電流供給線104の線幅を長くすることができる。また、本実施の形態においては、ソース信号線101よりも上層に電流供給線104が設けられているが、これに限らず、ソース信号線よりも下層に電流供給線が設けられた構造としてもよい。

【0031】

また、画素部には、ソース信号線101及び電流供給線104以外に、映像信号によって前記発光素子の発光・非発光を決定する駆動用TFT110と、前記映像信号の入力を制御するスイッチング用TFT111と、前記映像信号に関わらず、前記発光素子を非発光状態にする消去用TFT112とが設けられている。

【0032】

本実施の形態では、電流供給線 104 は、ソース信号線 101 と同じ層に設けられた導電膜 120 (120a、120b) を介して、駆動用 TFT 110 に接続している。また第 1 のゲート信号線 102 の一部がスイッチング用 TFT 111 のゲート電極として機能する。また、第 2 のゲート信号線 103 (103a、103b) の一部が消去用 TFT 112 のゲート電極として機能する。さらに、駆動用 TFT 110 はソース信号線 101 と同じ層に設けられた導電膜 121 (121a、121b) を介して、第 1 の発光素子の電極 130 (130a、130b、130c) と接続している。図 1 では図示していないが、第 1 の発光素子の電極 130 が露出するように開口部が設けられた隔壁層、及び電界発光層、第 2 の発光素子の電極が形成されている。第 1 の発光素子の電極 130 と、電界発光層と、第 2 の発光素子の電極とが積層した部分は発光素子として機能する。

【0033】

本実施の形態に示した画素部の回路構成は、図 2 の回路図のようになっている。本実施の形態では、駆動用 TFT 210 と、スイッチング用 TFT 211 と、消去用 TFT 212 とが設けられた構成となっているが、これに限らず、例えば、駆動用 TFT 210 と、スイッチング用 TFT 211 のみからなる回路構成としてもよいし、上記以外の TFT 又は配線を設けた回路構成としてもよい。いずれにしろ、回路構成は、本実施の形態に示したものには限定されるものではない。

【0034】

また、本実施の形態では、薄膜トランジスタ (TFT) を用いているが、これに限らず、例えばバルクのシリコンウエハや SOI (Silicon On Insulator) を用いて形成したトランジスタであってもよい。トランジスタの構造に関しても、シングルゲート構造でもよいし、あるいは複数のゲートを備えたマルチゲート構造でもよい。またトップゲート型の構造でもよいし、ボトムゲート型のものでもよい。

【0035】

本発明を適用することにより、ソース信号線により占有される面の上方部又は下方部を有効に活用しながら電流供給線の線幅を長くし、電流供給線の電圧降下を抑制することができる。従って、特に下面発光型若しくは両面発光型の表示装

置に於いて、電流供給線の線幅の増加に起因した開口率の低下を、極力低く抑えることができる。これにより、電圧降下に起因した表示ムラが少なく、また高精細な表示が可能な表示装置を作製できる。また、ソース信号線と電流供給線が異なる層で形成されていることにより、ソース信号線と電流供給線との間で生じる短絡を低減することができ、高画質な表示装置を作製できる。また表示装置製造の歩留まりが向上する。

【0036】

(実施の形態2)

本発明の一態様について図3を用いて説明する。

【0037】

図3は、本発明を適用した表示装置の画素部の上面図である。また図10は図3のA-A'における断面図である。

【0038】

図3において、映像信号を伝達するための配線としてソース信号線301(301a、301b)、発光素子に電流を供給するための配線として電流供給線304(304a、304b)が設けられている。ソース信号線301と電流供給線304とは、同じ層に形成されており、互いに平行に延びている。さらに、ソース信号線301と電流供給線304の上には、絶縁膜を挟んで、ソース信号線301又は電流供給線304と平行に延びた配線305が形成されている。また配線305と電流供給線304とは、接続孔を介して接続している。なお、本実施の形態においては、ソース信号線301の一部と電流供給線304全体とが、配線305と重なっている。しかし、これに限らず、ソース信号線の一部と電流供給線の一部とが該配線と重なるような構造であってもよいし、若しくはソース信号線全体と電流供給線全体とが該配線と重なるような構造であってもよい。いずれにしろ、電流供給線304の上方部を活用して、電流供給線304と接続する配線305を設けることで、電流供給線304の電圧降下を抑制することができる。また、本実施の形態においては、ソース信号線301および電流供給線304よりも上層に配線305が設けられているが、これに限らず、配線305が、ソース信号線301および電流供給線304よりも下層に設けられた構造とし

てもよい。

【0039】

また、画素部には、ソース信号線 301 及び電流供給線 304 以外に、映像信号によって前記発光素子の発光・非発光を決定する駆動用 TFT 310 と、前記映像信号の入力を制御するスイッチング用 TFT 311 と、前記映像信号に関わらず、前記発光素子を非発光状態にする消去用 TFT 312 とが設けられている。

【0040】

本実施の形態では、第 1 のゲート信号線 102 の一部がスイッチング用 TFT 311 のゲート電極として機能する。また、第 2 のゲート信号線 303 の一部が消去用 TFT 312 のゲート電極として機能する。さらに、駆動用 TFT 310 はソース信号線 301 と同じ層に設けられた導電膜 321 (321a、321b) を介して、第 1 の発光素子の電極 330 (330a、330b、330c) と接続している。図 1 では図示していないが、第 1 の発光素子の電極 330 が露出するように開口部が設けられた隔壁層、及び電界発光層、第 2 の発光素子の電極が形成されている。第 1 の発光素子の電極 330 と、電界発光層と、第 2 の発光素子の電極とが積層した部分は発光素子として機能する。

【0041】

本実施の形態に示した画素部の回路構成は、図 2 の回路図のようになっている。本実施の形態では、駆動用 TFT 210 と、スイッチング用 TFT 211 と、消去用 TFT 212 とが設けられた構成となっているが、これに限らず、例えば、駆動用 TFT 210 と、スイッチング用 TFT 211 のみからなる回路構成としてもよいし、上記以外の TFT 又は配線を設けた回路構成としてもよい。いずれにしろ、回路構成は、本実施の形態に示したものには限定されるものではない。

【0042】

また、本実施の形態では、薄膜トランジスタ (TFT) を用いているが、これに限らず、例えばバルクのシリコンウエハや SOI (Silicon On Insulator) を用いて形成したトランジスタであってもよい。トランジスタの構造に関しても、シングルゲート構造でもよいし、あるいは複数のゲートを備えたマルチゲート

構造でもよい。またトップゲート型の構造でもよいし、ボトムゲート型のものでもよい。

【0 0 4 3】

本発明を適用することにより、ソース信号線により占有される面の上方部又は下方部を有効に活用しながら電流供給線の線幅を長くし、電流供給線の電圧降下を抑制することができる。従って、特に下面発光型若しくは両面発光型の表示装置に於いて、電流供給線の線幅の増加に起因した開口率の低下を、極力低く抑えることができる。これにより、電圧降下に起因した表示ムラが少なく、また高精細な表示が可能な表示装置を作製できる。

【0 0 4 4】

(実施の形態 3)

実施の形態 1 又は実施の形態 2 で示した表示装置では、電流供給線 1 0 4 又は配線 3 0 5 と、第 1 の発光素子の電極 1 3 0 又は 3 3 0 とは同じ層で設けられている。

【0 0 4 5】

しかし、これに限らず、第 1 の発光素子の電極 1 3 0, 3 3 0 を、絶縁膜を挟んで、電流供給線 1 0 4 又は配線 3 0 5 よりも上層に設けた構造としてもよい。このような構造とすることにより、特に上面発光型の表示装置に於いては、開口部の設計に対する自由度が上がり、開口率が向上する。

【0 0 4 6】

また、表示装置の製造工程に於いては、第 1 の発光素子の電極 1 3 0 や 3 3 0 を形成するための透明導電膜を成膜後の平坦化工程が容易になる場合がある。

【0 0 4 7】

【実施例】

(実施例 1)

本実施例では、本発明を適用した表示装置の画素部の構成および駆動方法について説明する。

【0 0 4 8】

図 4 において、映像信号を伝達するための配線としてソース信号線 7 0 1 (7

01a、701b)、発光素子に電流を供給するための配線として電流供給線704(704a、704b)が設けられている。ソース信号線701と電流供給線704とは、絶縁膜を挟んで異なる層に、重なって形成されている。また互いに平行に延びている。さらに、ソース信号線701と同じ層で、ソース信号線701と平行に延びた電源線705が設けられている。ソース信号線701及び電源線705の全体と、電流供給線704とが重なっており、ソース信号線701及び電源線705の上方領域を活用して、線幅が十分に長く、電圧降下が抑制された電流供給線704が形成されている。

【0049】

なお、本実施例では、ソース信号線701及び電源線705よりも下層に電流供給線704が設けられているが、これに限らず、ソース信号線よりも上層に電流供給線が設けられた構造としてもよい。また、電流供給線が、ソース信号線又は電源線の一部のみと重なる構造であってもよい。

【0050】

画素部には、ソース信号線701及び電流供給線704以外に、発光素子に流れる電流値を決定するための電流制御用TF T710と、映像信号によって前記発光素子の発光・非発光を決定する駆動用TF T711と、前記映像信号の入力を制御するスイッチング用TF T712と、前記映像信号に関わらず、前記発光素子を非発光状態にする消去用TF T713とが設けられている。駆動用TF T711は、そのL/W(チャンネル長/チャンネル幅)が電流制御用TF T710よりも大きくなるよう設計されており、活性層が曲がりくねった形状をしている。

【0051】

なお、図11は図4のA-A'における断面図である。図11において、絶縁膜18、19は有機膜で形成されている。また、絶縁膜18の上にはスパッタ法により形成された窒化膜が設けられている。なお、絶縁膜18、19は有機膜以外に酸化珪素膜などの無機膜を用いて形成しても構わない。

【0052】

ソース信号線704は、電流供給線701と同じ層に設けられた導電膜720(720a、720b)を介して、スイッチングTF T712に接続している。

また第1のゲート信号線702の一部がスイッチング用TF T 712のゲート電極として機能する。また、第2のゲート信号線703の一部が消去用TF T 713のゲート電極として機能する。さらに、電源線705は、駆動用TF T 711のゲート電極に接続している。そして駆動用TF T 711はソース信号線101と同じ層に設けられた導電膜720を介して、第1の発光素子の電極730（730a、730b、730c）と接続している。第1の発光素子の電極730と電流供給線701とは、同じ層で形成されている。図4では図示していないが、第1の発光素子の電極730が露出するように開口部が設けられた隔壁層、及び電界発光層、陰極が形成されている。第1の発光素子の電極730と、電界発光層と、第2の発光素子の電極とが積層した部分は発光素子として機能する。

【0053】

本実施例の画素部の回路構成は、図5の回路図のようになっている。

【0054】

図5では駆動用TF T 811および電流制御用TF T 810をpチャネル型トランジスタとし、駆動用TF T 811のドレインと発光素子840の陽極とを接続している。本実施例では、第1の発光素子の電極730が陽極として機能し、第2の発光素子の電極が陰極として機能する。逆に駆動用TF T 811および電流制御用TF T 810をnチャネル型TF Tとするならば、駆動用TF T 811のソースと発光素子840の陰極とを接続する。この場合、第1の発光素子の電極730が陰極として機能し、第2の発光素子の電極が陽極として機能する。

【0055】

次に、図5に示した画素の駆動方法について説明する。図5に示す画素は、その動作を書き込み期間、保持期間とに分けて説明することができる。まず書き込み期間において第1のゲート信号線802が選択されると、第1のゲート信号線802にゲートが接続されているスイッチング用TF T 812がオンになる。そして、ソース信号線801に入力された映像信号が、スイッチング用TF T 812を介して電流制御用TF T 810のゲートに入力される。なお、駆動用TF T 811はゲートが電源線805に接続されているため、常にオン状態である。

【0056】

映像信号によって電流制御用TFT810がオンになる場合は、電源線805を介して電流が発光素子840に供給される。このとき電流制御用TFT810は線形領域で動作しているため、発光素子840に流れる電流は、飽和領域で動作する駆動用TFT811と発光素子840の電圧電流特性によって決まる。そして発光素子840は、供給される電流に見合った輝度で発光する。

【0057】

また映像信号によって電流制御用TFT810がオフになる場合は、発光素子840への電流の供給は行なわれず、発光素子840は発光しない。

【0058】

保持期間では、第1のゲート信号線802の電位を制御することでスイッチング用TFT812をオフにし、書き込み期間において書き込まれた映像信号の電位を保持する。書き込み期間において電流制御用TFT810をオンにした場合、映像信号の電位は容量素子814によって保持されているので、発光素子840への電流の供給は維持されている。逆に、書き込み期間において電流制御用TFT810をオフにした場合、映像信号の電位は容量素子814によって保持されているので、発光素子840への電流の供給は行なわれていない。なお、本実施例では容量素子814を設けた回路になっているが、特に設けなくてもよい。

【0059】

消去期間では、第2のゲート信号線803が選択されて消去用TFT813がオンになり、電源線805の電位が消去用TFT813を介して電流制御用TFT810のゲートに与えられる。よって、電流制御用TFT810がオフになるため、発光素子840に強制的に電流が供給されない状態を作り出すことができる。

【0060】

上記構成により、電流制御用TFT810は線形領域で動作する。このため電流制御用TFT810のソース・ドレイン間電圧(V_{ds})は小さく、電流制御用TFT810のゲート・ソース間電圧(V_{gs})の僅かな変動は、発光素子840に流れる電流に影響しない。発光素子840に流れる電流は飽和領域で動作する駆動用TFT811により決定される。よって、電流制御用TFT810の

ゲート・ソース間に設けられた容量素子まの容量を大きくしたり、スイッチング用 T F T 812 のオフ電流を低く抑えなくても、発光素子 840 に流れる電流に影響しない。また、電流制御用 T F T 810 のゲートにつく寄生容量による影響も受けない。このため、T F T の特性ばらつき等に起因した輝度ばらつきが減り、表示ムラを低減することができる。

【0061】

本実施例に於いて、発光素子 840 は、第 1 の発光素子の電極 730 及び第 2 の発光素子の電極は透明導電膜で形成されている。従って、上面及び下面（電界発光層を中心として、T F T が形成された側を下面、その反対側を上面という。）の両側から光を採光することができる。但し、これに限らず、上面のみ、若しくは下面のみから採光できる構造の表示装置としてもよい。

【0062】

本発明を適用することにより、ソース信号線及び電源線により占有される面の下方部を有効に活用しながら電流供給線の線幅を長くし、電流供給線の電圧降下を抑制することができる。従って、本実施例のように、下面側から採光する型の表示装置に於いて、電流供給線の線幅の増加に起因した開口率の低下を、極力低く抑えることができる。これにより、電圧降下に起因した表示ムラが少なく、また高精細な表示が可能な表示装置を作製できる。さらに、本実施例に示したような回路構成を有することにより、T F T の特性ばらつきに起因した表示ムラも低減でき、非常に高画質な表示画像を得ることができる。

【0063】

（実施例 2）

本実施例では、実施例 1 で示した画素部を有するアクティブマトリクス型の表示装置の構成及び駆動について説明する。

【0064】

図 6 に外部回路のブロック図とパネルの概略図を示す。

【0065】

図 6 に示すように、本発明を適用したアクティブマトリクス型表示装置は外部回路 3004 及びパネル 3010 を有する。外部回路 3004 は A/D 変換部 3

001、電源部3002及び信号生成部3003を有する。A/D変換部3001はアナログ信号で入力された映像データ信号をデジタル信号に変換し、信号線駆動回路3006へ供給する。電源部3002はバッテリーやコンセントより供給された電源から、それぞれ所望の電圧値の電源を生成し、信号線駆動回路3006、走査線駆動回路3007、OLED素子3011、信号生成部3003等に供給する。信号生成部3003には、電源、映像信号及び同期信号等が入力され、各種信号の変換を行う他、信号線駆動回路3006及び走査線駆動回路3007を駆動するためのクロック信号等を生成する。

【0066】

外部回路3004からの信号及び電源はFPCを通し、パネル3010内のFPC接続部3005から内部回路等に入力される。

【0067】

また、パネル3010はガラス基板3008上に、FPC接続部3005、内部回路が配置され、また、OLED素子3011を有する。内部回路は信号線駆動回路3006、走査線駆動回路3007及び画素部3009を有する。図6には例として実施形態1に記載の画素を採用しているが、前記画素部3009に本発明の実施形態に挙げたいずれかの画素構成を採用することができる。

【0068】

基板中央には画素部3009が配置され、その周辺には、信号線駆動回路3006及び走査線駆動回路3007が配置されている。OLED素子3011及び、前記発光素子の対向電極は画素部3009全体面に形成されている。

【0069】

より詳しく、図7に信号線駆動回路3006のブロック図を示す。

【0070】

信号線駆動回路3006はD-フリップフロップ4001を複数段用いてなるシフトレジスタ4002、データラッチ回路4003、ラッチ回路4004、レベルシフタ4005及びバッファ4006等を有する。

【0071】

入力される信号はクロック信号線(SCK)、反転クロック信号線(SC

KB)、スタートパルス(S-SP)、デジタル映像信号(DATA)及びラッチパルス(LatchPulse)とする。

【0072】

まず、クロック信号、クロック反転信号及びスタートパルスのタイミングに従って、シフトレジスタ4002より、順次サンプリングパルスが出力される。サンプリングパルスはデータラッチ回路4003へ入力され、そのタイミングで、デジタル映像信号を取り込み、保持する。この動作が一行目から順に行われる。

【0073】

最終段のデータラッチ回路4003においてデジタル映像信号の保持が完了すると、水平帰線期間中にラッチパルスが入力され、データラッチ回路4003において保持されているデジタル映像信号は一斉にラッチ回路4004へと転送される。その後、レベルシフタ4005においてレベルシフトされ、バッファ4006において整形された後、信号線S1からSnへ一斉に出力される。その際、走査線駆動回路3007によって選択された行の画素へ、Hレベル、Lレベルが入力され、OLED素子3011の発光、非発光を制御する。

【0074】

本実施例にて示したアクティブマトリクス型表示装置はパネル3010と外部回路3004が独立されているが、これらを同一基板上に一体形成して作製してもよい。また、表示装置は例として、OLEDを使用したものとしたが、OLED以外の発光素子を利用した発光装置でもよい。また、信号線駆動回路3006内にレベルシフタ4005及びバッファ4006が無くてもよい。

【0075】

(実施例3)

本実施例においては、本発明を適用した電子機器について説明する。本発明を適用した表示装置は、様々な電子機器に搭載して高画質・高精細な表示を得ることができる。またテレビなどの大型の表示装置のみならず、携帯電話などの小型の電子機器にも搭載することができる。

【0076】

図8(A)は表示装置であり、筐体5501、支持台5502、表示部550

3を含む。本発明は表示部5503を有する表示装置に適用が可能である。

【0077】

図8（B）はビデオカメラであり、本体5511、表示部5512、音声入力5513、操作スイッチ5514、バッテリー5515、受像部5516などによって構成されている。

【0078】

図8（C）は、本発明を適用して作製したノート型のパーソナルコンピュータであり、本体5501、筐体5502、表示部5503、キーボード5504などによって構成されている。

【0079】

図8（D）は、本発明を適用して作製した携帯情報端末（PDA）であり、本体5531には表示部5532と、外部インターフェイス5535と、操作ボタン5534等が設けられている。また操作用の付属品としてスタイラス5532がある。

【0080】

図8（E）はデジタルカメラであり、本体5551、表示部（A）5552、接眼部5553、操作スイッチ5554、表示部（B）5555、バッテリー5556などによって構成されている。

【0081】

図8（F）は、本発明を適用して作製した携帯電話である。本体5561には表示部5564と、音声出力部5562、操作スイッチ5565、アンテナ5566等が設けられている。

【0082】

【発明の効果】

本発明により、配線における電圧降下に起因した表示ムラを低減した、高画質・高精細な表示装置を得ることができる。また、配線における電圧降下に起因した表示ムラと、トランジスタの特性ばらつきに起因した表示ムラの両方を低減した、高画質・高精細な表示装置を得ることができる。

【0083】

【図面の簡単な説明】

【図 1】 本発明の一態様について説明する図。

【図 2】 画素部の回路について示す図。

【図 3】 本発明の一態様について説明する図。

【図 4】 画素部の回路について示す図。

【図 5】 本発明の一態様について説明する図。

【図 6】 外部回路とパネルの概要を示す図。

【図 7】 信号線駆動回路の一構成例を示す図。

【図 8】 本発明を適用した電子機器の一例を示す図。

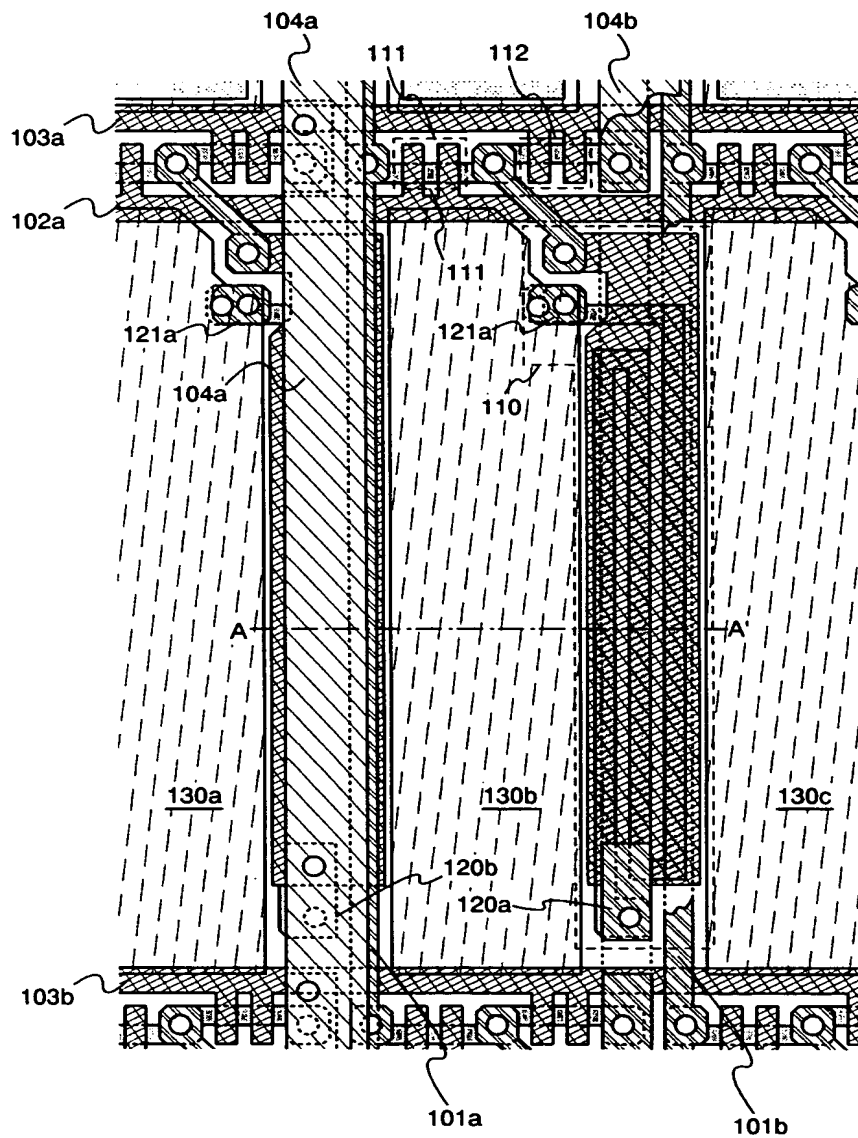
【図 9】 本発明の一態様について説明する図。

【図 1 0】 本発明の一態様について説明する図。

【図 1 1】 本発明の一態様について説明する図。

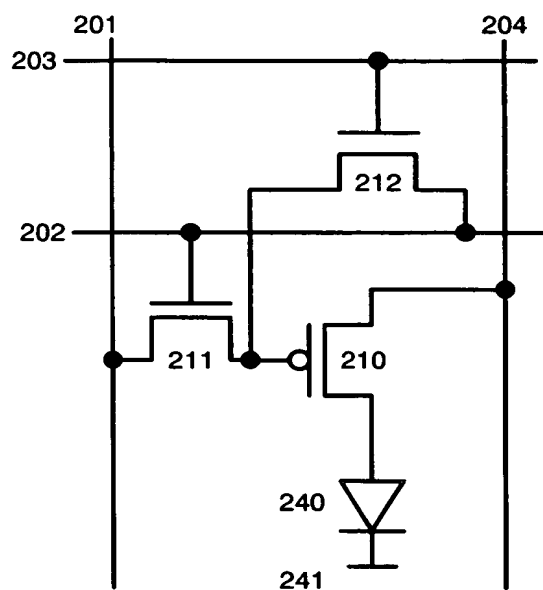
【書類名】 図面

【図 1】



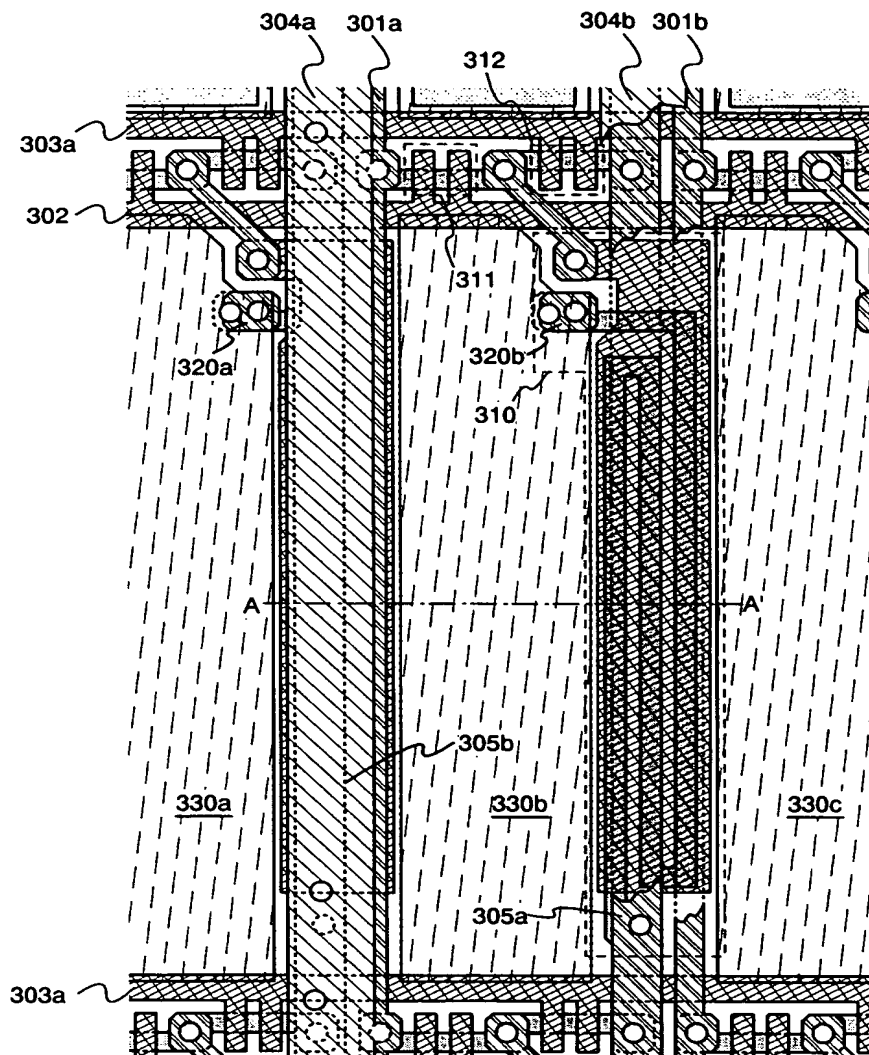
101 ソース信号線 102 第1のゲート信号線 103 第2のゲート信号線 104 電流供給線
 110 駆動用TFT 111 スイッチング用TFT 112 消去用TFT 120 導電膜 121 導電膜
 130 発光素子の電極

【図 2】



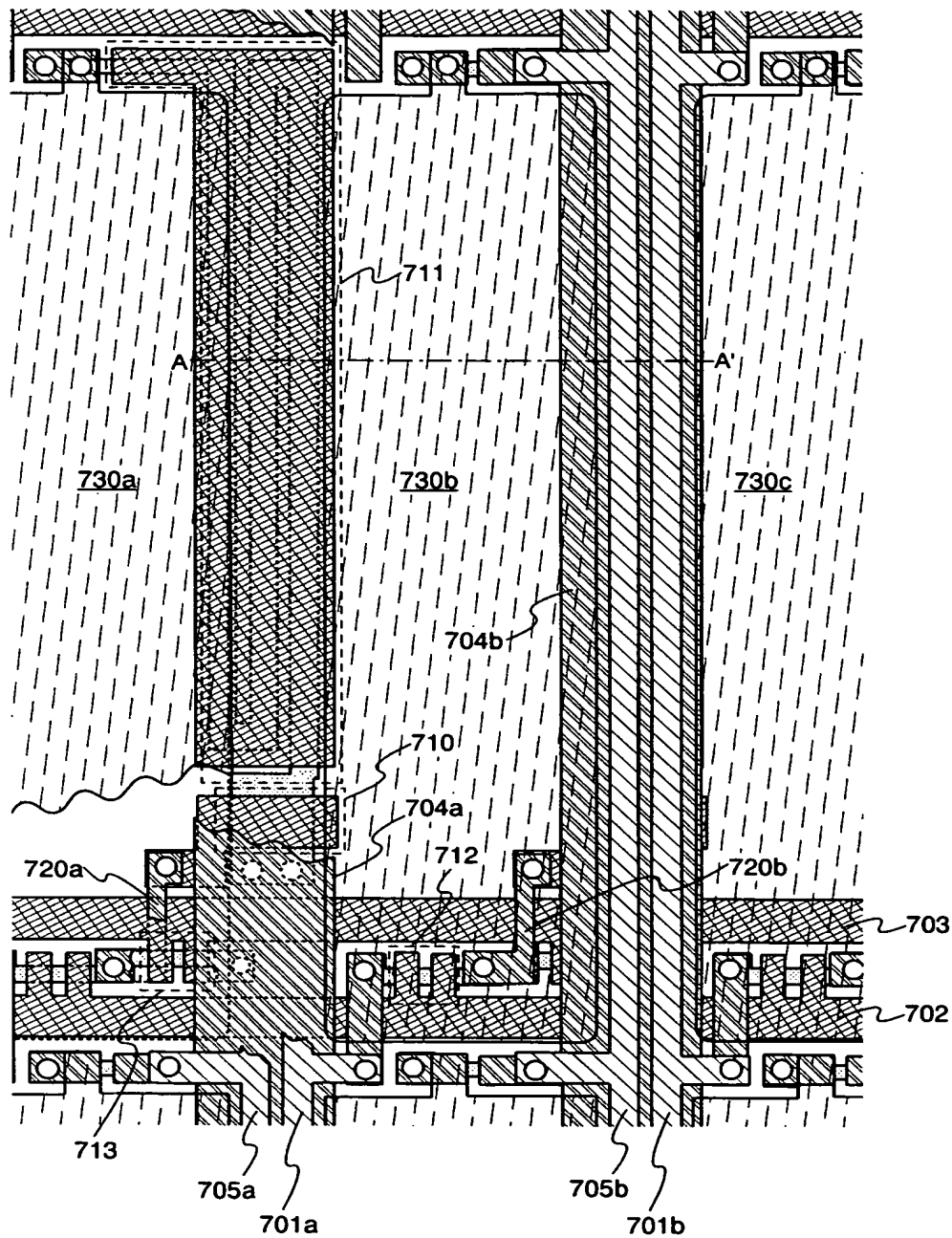
- 201 ソース信号線
- 202 第1のゲート信号線
- 203 第2のゲート信号線
- 204 電流供給線
- 210 駆動用TFT
- 211 スイッチング用TFT
- 212 消去用TFT
- 240 発光素子
- 241 対向電源

【図 3】



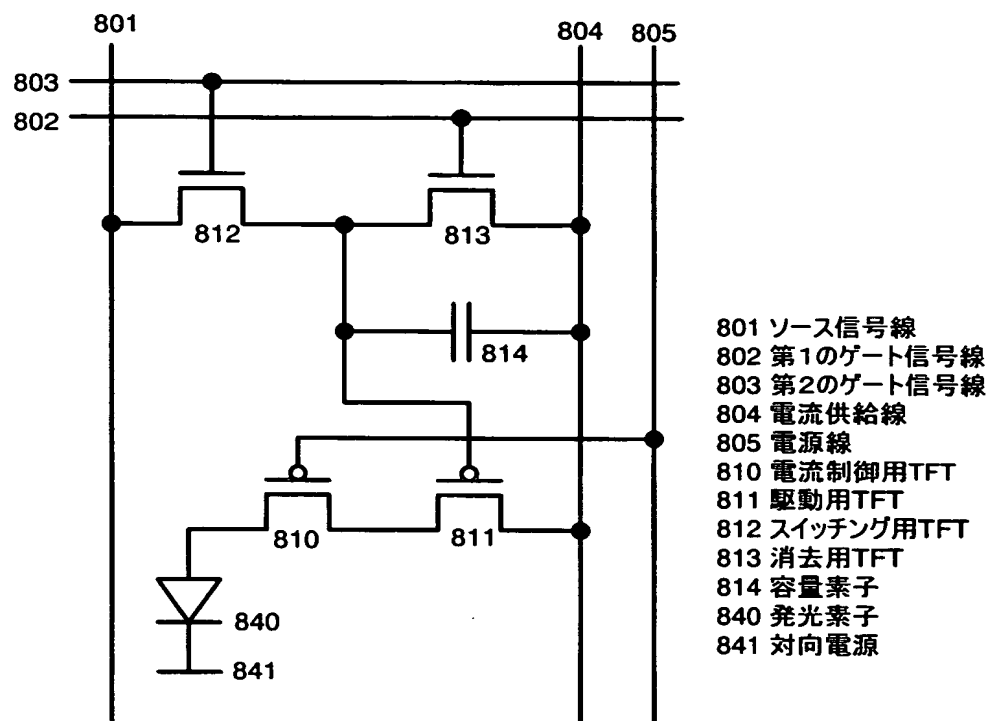
301 ソース信号線 302 第1のゲート信号線 303 第2のゲート信号線 304 電流供給線
 310 駆動用TFT 311 スイッチング用TFT 312 消去用TFT 320 導電膜 330 発光素子の電極

【図 4】

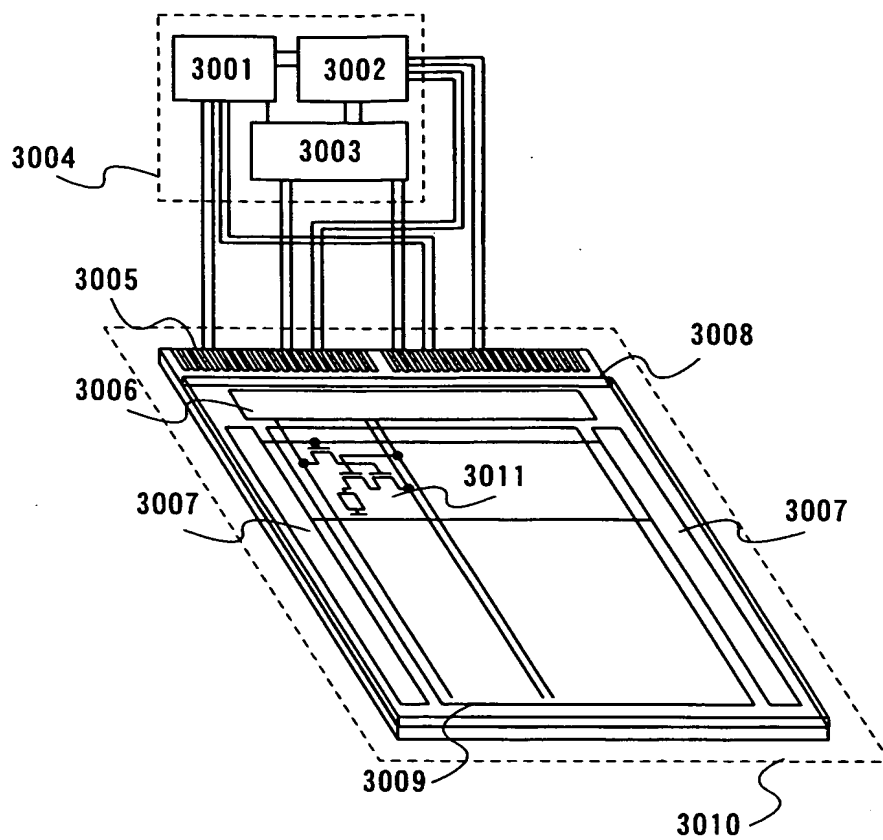


701 ソース信号線 702 第1のゲート信号線 703 第2のゲート信号線 704 電流供給線
 710 電流制御用TFT 711 駆動用TFT 712 スイッチング用TFT 713 消去用TFT
 720 導電膜 730 発光素子の電極

【図 5】

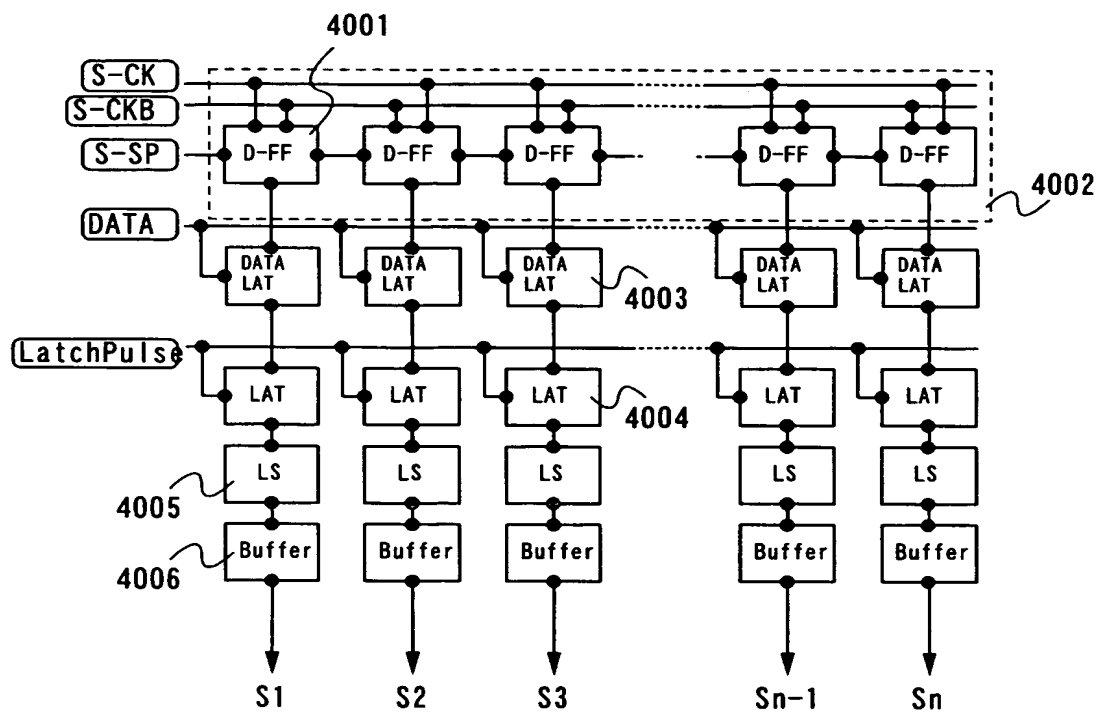


【図 6】



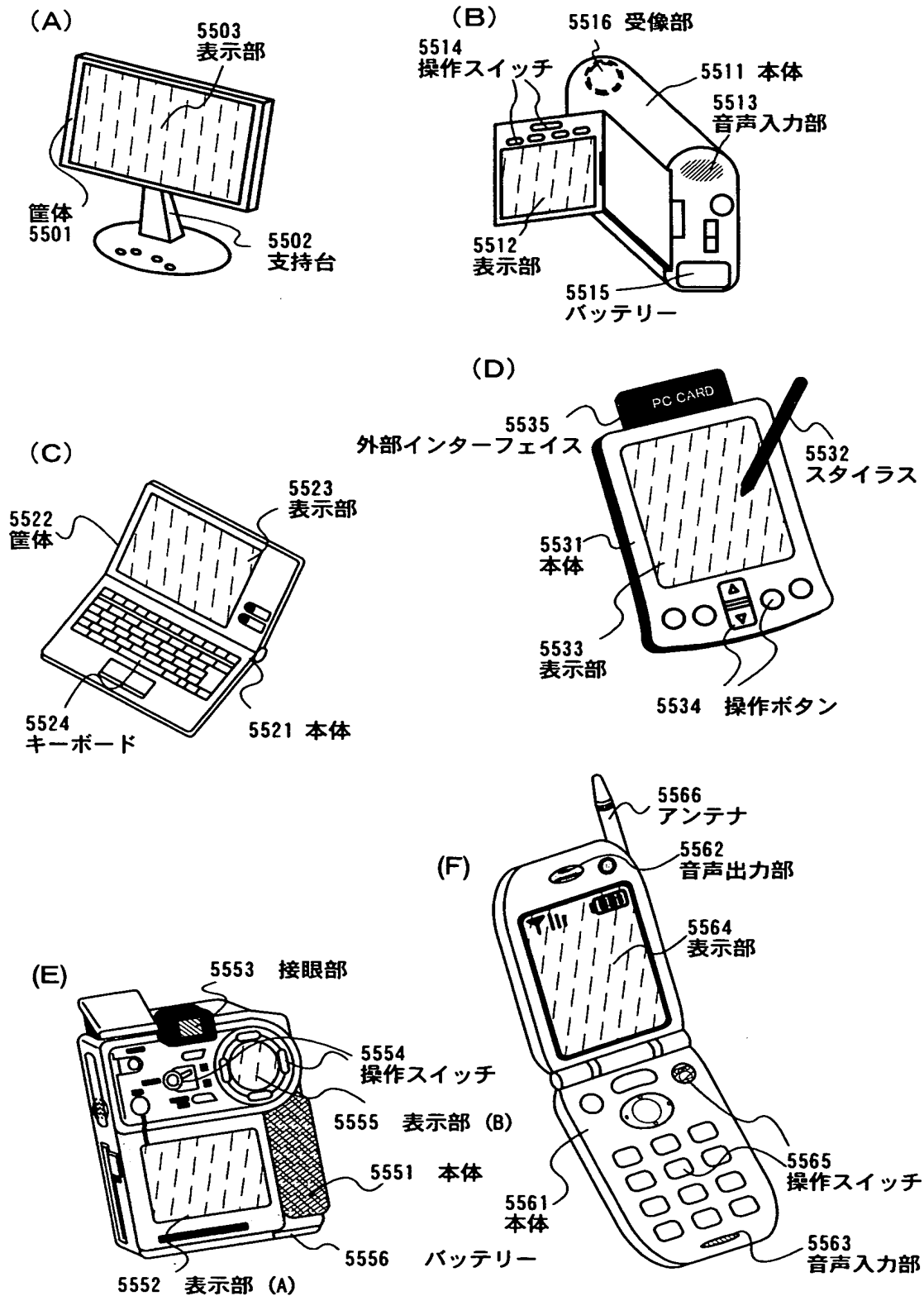
- 3001 : A/D変換部
- 3002 : 電源部
- 3003 : 信号生成部
- 3004 : 外部回路
- 3005 : FPC接続部
- 3006 : 信号線駆動回路
- 3007 : 走査線駆動回路
- 3008 : 基板
- 3009 : 画素部
- 3010 : パネル
- 3011 : OLED素子

【図 7】

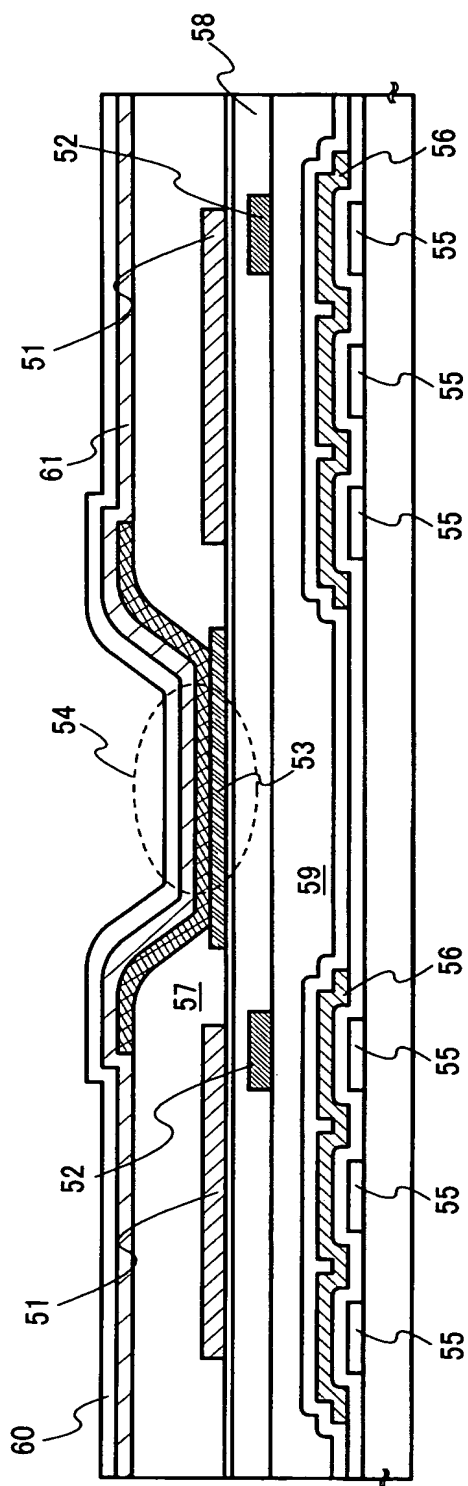


- 4001 : D-フリップフロップ
 4002 : シフトレジスタ
 4003 : データラッチ回路
 4004 : ラッチ回路
 4005 : レベルシフタ
 4006 : バッファ

【図 8】

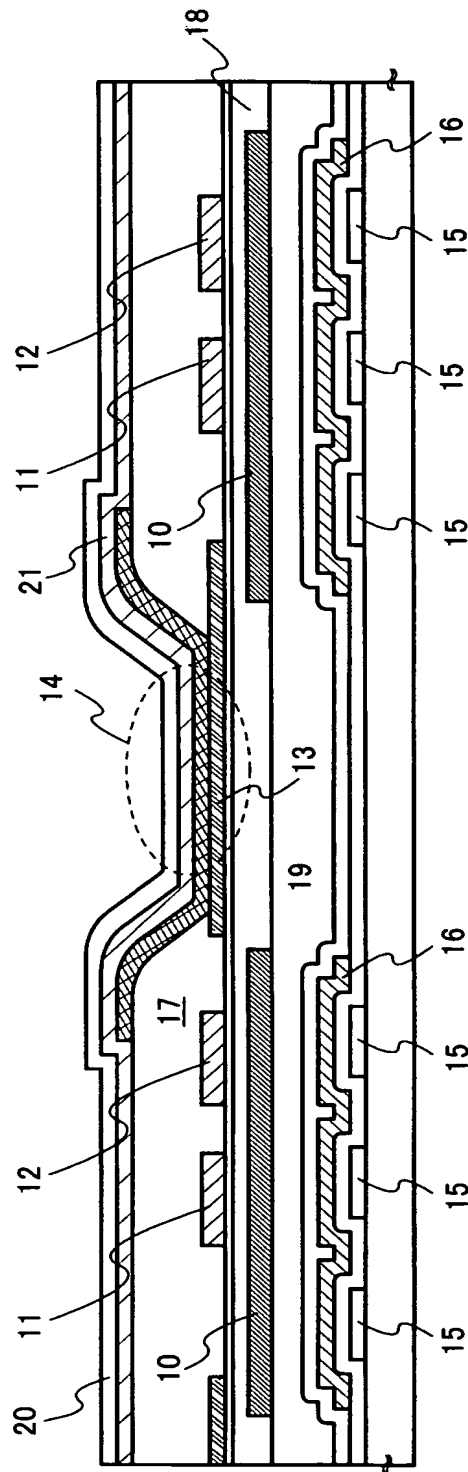


【図 9】



51 電流供給線 52 ソース信号線 53 第1の発光素子の電極 54 発光素子 55 半導体層 56 ゲート電極
57 絶縁膜 58, 59 絶縁膜 60 保護膜 61 第2の発光素子の電極

【図 11】



10 電流供給線 11 電源線 12 ソース信号線 13 第1の発光素子の電極 14 発光素子 15 半導体層 16 ゲート電極
17 隔壁層 18, 19 絶縁膜 20 保護膜 21 第2の発光素子の電極

【書類名】 要約書

【要約】

【課題】 本発明では、配線における電圧降下に起因した表示ムラ、若しくは T F T の特性ばらつきに起因した表示ムラを抑制し、また高精細な表示を可能とする表示装置を提供することを課題とする。

【解決手段】 本発明の表示装置は、映像信号を伝達するための第 1 の配線と、発光素子に電流を供給するための第 2 の配線とを有し、前記第 1 の配線と前記第 2 の配線とは互いに平行に延びており、絶縁膜を挟んで、少なくとも一部が重なるように形成されていることを特徴としている。

【選択図】 図 1

特願 2 0 0 3 - 1 2 2 9 8 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 5 3 8 7 8]

1. 変更年月日	1 9 9 0 年 8 月 1 7 日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷 3 9 8 番地
氏 名	株式会社半導体エネルギー研究所